

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-271927

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

G02F 1/136

G09F 9/30

G09G 3/36

H01L 29/786

(21)Application number : 07-073981

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.03.1995

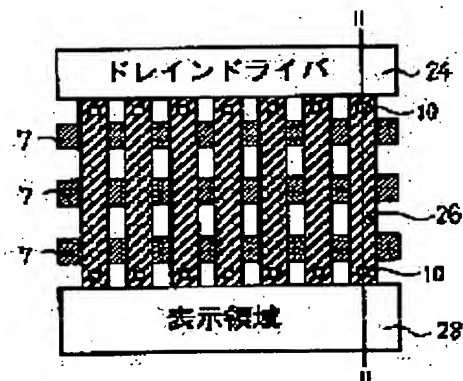
(72)Inventor : OOIMA SUSUMU
TABUCHI NORIO
YONEDA KIYOSHI

(54) DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To make it possible to eliminate smears and to display a bright display with a high grade and high color reproducibility by disposing additive capacitance electrodes between display regions and drain drivers.

CONSTITUTION: This display device is provided with additive capacitors by dividing these capacitors to a plurality between the display region 28 where many display pixels exist in a matrix form and the drain drivers 24 for inputting video signals to the display pixels. Namely, the drain lines 26 intersect with the additive capacitance electrodes 7 between the drain drivers 24 and the display regions 28. The drain lines 26 are connected to TFTs as display driving elements and are connected to the drain drivers. The drain lines 26 are electrically connected to polycrystalline silicon films of the lower layer in contact holes 10. The additive capacitance electrodes 7 are composed of divided plural rectangular strip-like electrodes to prevent the crack and, therefore, tungsten silicide is usable.



LEGAL STATUS

[Date of request for examination] 25.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3081497

[Date of registration] 23.06.2000

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-271927

(43) 公開日 平成8年(1996)10月18日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I.	技術表示箇所
G 0 2 F 1/188	B 0 0		G 0 2 F 1/188	5.0 0.
G 0 9 F 9/30	B 3 8	7428-5H	G 0 9 F 9/30	3 3 8 K
G 0 9 G 3/30			G 0 9 G 3/30	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平7-73981

(22) 出願日 平成7年(1995)8月30日

(71) 出願人 000001869

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大寺 浩

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 田岡 規夫

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁護士 岡田 敬

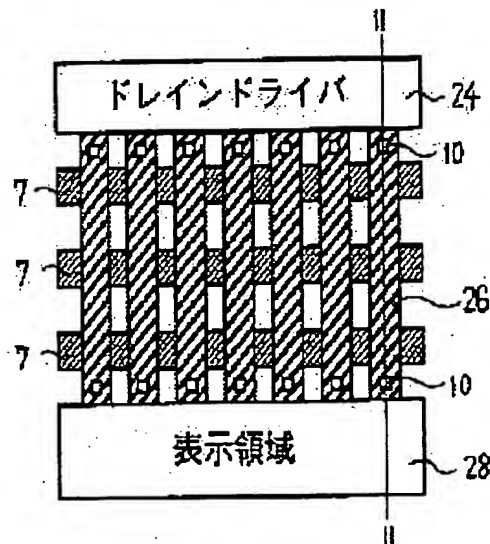
(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【目的】 表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ一体型液晶表示装置の容量不安定による画質低下を解消する表示装置を提供する。

【構成】 表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ一体型液晶表示装

置において、表示画素部と、ドレインドライバとの間に付加容量を設ける。



【特許請求の範囲】

【請求項1】 表示領域の表示画素駆動素子に映像信号を供給する、該表示領域の周辺の少なくとも一部に配置されたドレインドライバと、走査信号を供給するゲートドライバとを備えた表示装置において、前記表示領域と前記ドレインドライバとの間の領域に付加容量電極を備えていることを特徴とする表示装置。

【請求項2】 請求項1に記載の表示装置において、前記付加容量電極が複数に分割されていることを特徴とする表示装置。

【請求項3】 映像信号をサンプリングして表示画素駆動素子に該信号を供給するドレインドライバのサンプリングトランジスタと、該サンプリングトランジスタからの映像信号及びゲートドライバからの走査信号によって駆動し、表示画素に映像信号を供給する表示画素駆動素子と、液晶とを備えた液晶表示装置において、前記サンプリングトランジスタと前記表示画素駆動素子との間に付加容量を設けたことを特徴とする液晶表示装置。

【請求項4】 表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ型液晶表示装置において、前記ドレインドライバが、付加容量と、表示画素への映像信号供給を制御するサンプリングトランジスタとを少なくとも備えていることを特徴とするドライバ型液晶表示装置。

【請求項5】 表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ型液晶表示装置の製造方法において、半導体基板または絶縁基板上に半導体膜を形成する工程と、

該半導体膜上に絶縁膜を形成する工程と、該絶縁膜上に付加容量電極を形成する工程と、

該付加容量電極上に層間絶縁膜を形成する工程と、

該層間絶縁膜上に、前記表示画素部と、ドレインドライバとを電気的に接続するドレインラインを形成する工程と、を経て、表示画素部とドレインドライバとの間に形成される付加容量を備えたことを特徴とするドライバ型液晶表示装置の製造方法。

【請求項6】 表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ型液晶表示装置の製造方法において、

少なくとも表面が絶縁体の基板上に半導体膜を堆積する工程と、

該半導体膜を表示画素部と周辺回路部と付加容量部に分離する工程と、

前記分離された半導体膜上に絶縁膜を形成して、表示画素部及び周辺回路の駆動素子の絶縁膜と付加容量部の付加容量絶縁膜とを作製する工程と、

該絶縁膜上に不純物遮蔽膜を形成する工程と、

該不純物遮蔽膜の隙間から前記半導体膜に不純物を導入して、表示画素部及び周辺回路部の下部電極と付加容量部の下部配線とを作製する工程と、

前記不純物遮蔽膜を除去する工程と、

前記絶縁膜上に低抵抗物質を堆積して、表示画素部及び周辺回路部の中部電極と付加容量部の付加容量線とを作製する工程と、

前記低抵抗物質、前記絶縁膜及び前記基板上に層間絶縁膜を堆積する工程と、

前記表示画素部及び周辺回路部の下部電極上の前記層間絶縁膜及び前記絶縁膜を除去してコンタクトホールを形成する工程と、

該コンタクトホール及び前記層間絶縁膜上に配線材料を形成して、前記下部電極と配線材料とを接触させ、前記表示電極部の上部配線と付加容量部との間、前記周辺回路部の上部電極と外部回路との間、付加容量部の上部配線と周辺回路部との間に配線を作製する工程と、

前記上部配線に画素電極を接続する工程と、

少なくとも該画素電極上に配向膜を形成する工程と、

前記基板と、対向する対向配向膜、対向電極とが有る対向基板との間に電気光学物質を挟持する工程とを備えたことを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示装置及びその製造方法に関し、特に表示部とその表示部を駆動する周辺ドライバ部とを同一基板上に形成したドライバ型液晶表示装置に関する。

【0002】

【従来の技術】 近年、キャリア移動度が非晶質シリコンに比べ非常に高い多結晶シリコンを半導体層とした半導体装置が注目されている。

【0003】 以下に、従来のドライバ型液晶表示装置について説明する。

【0004】 図15に、従来のドライバ型液晶表示装置の全体構成図を示す。

【0005】 同図に示す如く、従来のドライバ型液晶表示装置は、同一基板1上に、表示駆動素子である薄膜トランジスタ(TFT: Thin Film Transistor)と接続された表示画素の有る表示領域28と、表示駆動素子を駆動するドレインドライバ24及びゲートドライバ25からなる周辺駆動回路とが形成された構成である。

【0006】 図16は、従来の表示装置の画素部の構成平面図であり、表示領域内の表示駆動素子及び素子間の配線を示すものである。

【0007】 図示されているように、映像信号が伝達されるドレインライン26は中部配線のゲートライン25に対して上部に位置する上部配線となっている。

【0008】 ドレインライン26とゲートライン6とで

囲まれる領域に画素電極17が形成されている。

【0009】補助容量を形成するため、画素電極17と重畳するように補助容量電極27が形成されている。

【0010】また、寄生容量として、TFTのTFT容量とドレインラインとゲートラインとの間の交差容量とが元から存在する。

【0011】寄生容量に対して、補助容量は大きく設計されるが、補助容量によって補償されるのはTFTが遮断している間の電圧降下に過ぎなかった。

【0012】この点について図17で説明することにする。

【0013】図17は従来の表示装置の等価回路図である。

【0014】同一基板1上にドレインドライバ24とゲートドライバ25と、それ以外の表示領域とが設けられている。

【0015】ドレインドライバ24は、シフトレジスタ29と、シフトレジスタからシフトパルスを受けて、ドレインライン26から映像信号をサンプリングするサンプリングトランジスタ30とから構成されている。

【0016】一方、液晶表示装置の表示領域は、TFT1と、TFTのソースからサンプリングされた映像信号が印加される液晶23と、補助容量5Cとから構成されている。

【0017】このように、補助容量は液晶側に設けられているので、TFTの遮断時の電位変化を補償するものではなかった。

【0018】従来の寄生容量がどこで発生していたかを説明するため、ドレインラインに沿ってドライバ体型液晶表示装置の断面図を示すことにする。

【0019】図18は、従来のドライバ体型液晶表示装置の断面図である。

【0020】同図において、ドレインライン26は、ドレインドライバ領域のサンプリングトランジスタ30と表示領域のTFT1との間を電気的に接続している。

【0021】寄生容量は層間絶縁膜9を挟んでゲートライン6とドレインライン26との間の重畳面積と両ラインの交差数に比例して増えていく。

【0022】しかし、図18から明らかなように、より電源に近いドレインライン26下には層間絶縁膜9があるだけで対向する電極が無いので、付加容量がなかった。

【0023】同図に示す如く、従来のドライバ体型表示装置は、同一基板上に、表示駆動素子であるTFTと接続された表示画素と、表示駆動素子を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路とが形成された構成である。

【0024】図19に、後述の図3中のIV-V線に沿った従来の液晶表示装置の製造工程図を示す。

<工程1：図19(a)>絶縁基板1上に、LP-CV

D (Low Pressure-chemical Vapor Deposition: 減圧CVD) 法により、多結晶シリコン膜2を形成する。

【0025】この多結晶シリコン膜2は、島状に、後の補助容量部、TFT部及びドレインドライバとなる領域にそれぞれ形成する。

<工程2：図19(b)>多結晶シリコン膜2上にゲート絶縁膜3をLP-CVD法にて形成する。その場合の条件は、O₂ガスとSiH₄ガスをO₂/SiH₄=5~200として、成膜温度：400~450℃で圧力1Torrで形成する。

【0026】次に、後にイオン注入法によりp(P)を注入する領域以外のゲート絶縁膜3の上に、レジスト膜4でマスクを形成する。

<工程3：図19(c)>前記レジスト膜4をマスクとして多結晶シリコン膜2にイオン注入法を用いてリン(P)を注入し、n型多結晶シリコン膜とする。

【0027】その後、レジスト膜4を除去し、ゲート絶縁膜3の上の各領域に、表示駆動素子のTFT1のゲート電極5並びにゲートライン6、ドレインドライバのTFT2のゲート電極8を形成する。各電極は、LP-CVD法にて多結晶シリコン膜を成膜しその上にタングステンシリサイド膜を成膜して、その後ホトリソ法でエッチングを行って形成する。

【0028】なお、表示駆動素子のTFT、ドレインドライバのTFTの多結晶シリコン膜は能動層となり、ゲート電極の両側にはドレイン領域及びソース領域を形成する。

<工程4：図19(d)>前述の基板上に形成した各電極等を全て覆うように、層間絶縁膜9を形成する。

<工程5：図19(e)>異方性エッチングにより層間絶縁膜9にコンタクトホール10を形成する。

【0029】そのコンタクトホール10を形成する領域は、表示駆動素子のTFT1のドレイン領域12及びソース領域11、ドレインドライバのTFT2のドレイン領域14及びソース領域13である。

【0030】次に、スパッタ法により、画素部の層間絶縁膜9の上にITOからなる画素電極17を形成する。

<工程6：図19(f)>以上の工程によって形成された補助容量電極27、表示駆動素子のTFT1、ドレインドライバのTFT2を含む基板(以下、TFT基板と称する)の全領域に配向膜21を形成する。

【0031】また、このTFT基板1に対向した対向基板上に、ITO等からなる共通電極20及び配向膜21を順次形成する。

【0032】これらの2つの基板の周辺近傍をシール剤22で貼り合わせる。シール剤で囲まれた内側が表示画素領域となる。その領域に液晶23を充填して、液晶表示装置が完成する。

【0033】ところで、上記の如く作製した液晶表示装置の特性面での欠点について以下に説明する。

【0034】まずはじめに、NWモードの液晶表示装置の駆動波形と光透過率との関係について説明する。

【0035】NWモードとは、液晶に印加される電圧が高いときの液晶表示装置の光透過率に比べて、液晶に印加される電圧が低いときの液晶表示装置の光透過率が高いモードである。

【0036】例えば、ツイステッドネマティック（TN）液晶を用いた場合、液晶表示装置の両側に配置される2枚の偏光板の偏光軸を互いに直交させると、その液晶表示装置はNWモードの液晶表示装置になる。

【0037】図2Qに従来のNWモードの液晶表示装置の光透過率特性図を示す。

【0038】行列配置された表示駆動素子であるTFTのゲートに、1H（1水平走査期間）毎に走査信号V_gが印加されると、1行のTFT群が導通する。

【0039】次に、図回に示されるように、映像信号の振幅が途中で小さくなる場合を考える。

【0040】図中の記号で説明すると、TFTのドレインラインから導通したTFTのソースを通過して画素電極に伝達する映像信号V_dが、i+1行までは振幅が大きくなり、また、i+2行以降で振幅が小さくなる場合である。

【0041】このように途中で映像信号の振幅が途中で小さくなる場合、従来の光透過率Tは、意図した高い光透過率に直ちにはならなかった。

【0042】つまり、図2Qで示されるように、従来の液晶表示装置は、映像信号が急変する行から数行に渡り、i+2行目からi+4行目まで画面が灰色がかった、いわゆるスミア（汚れ）現象を引き起こすことがあった。

【0043】この数行から数十行に渡るスミア現象を招くと、液晶表示装置の画面が汚染されて見えるだけでなく、液晶表示装置の鮮明さ（コントラスト）や色再現性あるいは解像度が損なわれるという欠点があった。

【0044】

【発明が解決しようとする課題】本発明は上記の従来の欠点に鑑みて成されたものであって、従来の如く、表示領域のドレインラインが形成する対向共通電極との間あるいはゲートラインとの間の容量が小さく、またその対向共通電極においても液晶を介しているためドレインラインに印加される電圧によってその容量が変化しやすいことにより、ビデオ信号の振幅の大きい映像信号（黒信号）を液晶に書き込んだ場合、黒表示の横方向、即ちゲート信号のスキャン方向（例えばゲート信号を表示装置の向かって左側から入力する場合には左側から右側への方向）が白表示であると発生する、数行から数十行に渡って灰色から徐々に白になる現象のスミアを、ドレインドライバと表示領域との間に付加容量を形成することにより解消できる表示装置及びその製造方法を提供することを目的とする。

【0045】

【課題を解決するための手段】本発明は、表示領域の表示画素駆動素子に映像信号を供給する、該表示領域の周辺の少なくとも一部に配置されたドレインドライバと、走査信号を供給するゲートドライバとを備えた表示装置において、前記表示領域と前記ドレインドライバとの間の領域に付加容量電極を備えていることを要旨とする。

【0046】本発明は、請求項1に記載の表示装置において、前記付加容量電極が複数に分割されていることを要旨とする。

【0047】本発明は、映像信号をサンプリングして表示画素駆動素子に該信号を供給するドレインドライバのサンプリングトランジスタと、該サンプリングトランジスタからの映像信号及びゲートドライバからの走査信号によって駆動し、表示画素に映像信号を供給する表示画素駆動素子と、液晶とを備えた液晶表示装置において、前記サンプリングトランジスタと前記表示画素駆動素子との間に付加容量を設けたことを要旨とする。

【0048】本発明は、表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ一体型液晶表示装置において、前記ドレインドライバが、付加容量と、表示画素への映像信号供給を制御するサンプリングトランジスタとを少なくとも備えていることを要旨とする。

【0049】本発明は、表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ一体型液晶表示装置の製造方法において、半導体基板または絶縁基板上に半導体膜を形成する工程と、該半導体膜上に絶縁膜を形成する工程と、該絶縁膜上に付加容量電極を形成する工程と、該付加容量電極上に層間絶縁膜を形成する工程と、該層間絶縁膜上に、前記表示画素部と、ドレインドライバとを電気的に接続するドレインラインを形成する工程と、を経て、表示画素部とドレインドライバとの間に形成される付加容量を備えたことを要旨とする。

【0050】本発明は、表示画素部と、該表示画素を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路部とが同一基板上に形成されたドライバ一体型液晶表示装置の製造方法において、少なくとも表面が絶縁体の基板上に半導体膜を堆積する工程と、該半導体膜を表示画素部と周辺回路部と付加容量部に分離する工程と、前記分離された半導体膜上に絶縁膜を形成して、表示画素部及び周辺回路の駆動素子の絶縁膜と付加容量部の付加容量絶縁膜とを作製する工程と、該絶縁膜上に不純物遮蔽膜を形成する工程と、該不純物遮蔽膜の隙間から前記半導体膜に不純物を填入して、表示画素部及び周辺回路部の下部電極と付加容量部の下部配線とを作製する工程と、前記不純物遮蔽膜を除去する工程と、前記

絶縁膜上に低抵抗物質を堆積して、表示画素部及び周辺回路部の中部電極と付加容量部の付加容量電極とを製作する工程と、前記低抵抗物質、前記絶縁膜及び前記基板上に層間絶縁膜を堆積する工程と、前記表示画素部及び周辺回路部の下部電極上の前記層間絶縁膜及び前記絶縁膜を除去してコンタクトホールを形成する工程と、該コンタクトホール及び前記層間絶縁膜上に配線材料を形成して、前記下部電極と配線材料とを接触させ、前記表示電極部の上部配線と付加容量部との間、前記周辺回路部の上部電極と外部回路との間、付加容量部の上部配線と周辺回路部との間に配線を製作する工程と、前記上部配線に画素電極を接続する工程と、少なくとも該画素電極上に配向膜を形成する工程と、前記基板に対向する対向配向膜、対向電極とが有る対向基板との間に電気光学物質を挟持する工程とを備えたことを要旨とする。

【0051】

【作用】図13にサンプルトランジスタの近辺に大きな容量を設ける本発明の作用図を示す。

【0052】同図に示すように、1+1行目から1+2行目へと大きく映像信号Vdが変化しても、先の映像信号の影響を受けることは無く、光透過率Tは、映像信号に合わせて急峻に変化するようになる。

【0053】本発明によれば、映像信号の変化率の高いメリハリのきいた映像信号が、スミア現象を招くことなくそのまま液晶表示装置上に再現されるので、高品位で鮮明かつ色再現性の高い画面が表示される。

【0054】また、映像信号の変化率の低い映像信号であっても、隣接する行の映像信号の影響を受けることがないので、液晶表示装置に元の信号に極めて近い階調表現として表示され、光源からの光の反射率の場所毎の微妙な違いに相当する壁が表現される。

【0055】

【実施例】以下に、本発明の表示装置について、周辺駆動回路、即ちドライバ一体型液晶表示装置に応用した例を説明する。

【0056】図11に本発明の構造を表す部分平面図を示す。

【0057】同図に示す如く、本発明の特徴とする付加容量は、表示画素がマトリクス状に多数ある表示領域28と、その表示画素に映像信号を入力するドレインドライバ24との間に複数に分割して設けられている。即ち、表示駆動素子としてのTFTのドレインに接続しているドレインライン26は、ドレインドライバ24に接続されており、そのドレインライン26はドレインドライバ24と表示領域28との間で付加容量電極7と交差している。ドレインライン26は、コンタクトホール10で下層の多結晶シリコン膜と電気的に接続されている。

【0058】付加容量電極を分割した複数の短冊上の電極で構成することにより、クラックを防止することがで

きる。極めて低抵抗で熱処理による特性変化が小さいタンガステンシリサイドを用いることができる。

【0059】本発明の付加容量は、従来の補助容量及び寄生容量に比べて2倍以上の値を持つものである。

【0060】具体的には、画素数640×400程度の表示装置においては5~10pF以上である。

【0061】図2に、図1中の1-1線に沿った断面図を示す。

【0062】同図に示す如く、ドレインドライバ24と表示領域28との間に、石英ガラス製の絶縁基板1上に層(P)をドーパした多結晶シリコン膜2、1000~2000ÅのSiO₂製のゲート絶縁膜3、ボロンをドーパした多結晶シリコン層とTi、Mo、Wなどの金属シリサイド層との2層構造の付加容量電極7、5000~10000ÅのSiO₂製の層間絶縁膜9、A1製のドレインライン26を順次形成し、多結晶シリコン膜2と付加容量電極7との間(図中のd)、ドレインライン26と付加容量電極7との間(図中のO)で付加容量を持たせる。

【0063】図3に、本発明のドライバ一体型液晶表示装置全体の概略構成図を示す。

【0064】同図に示す如く、本発明のドライバ一体型表示装置は、同一基板上に、表示駆動素子であるTFTと接続された画素電極と、表示駆動素子を駆動するドレインドライバ及びゲートドライバからなる周辺駆動回路とが形成された構成であり、また、表示領域とドレインドライバとの間には付加容量電極が形成されている構成である。

【0065】同図では、1本しか表示していないが、実際は複数本形成されている。また、ドレインドライバ及びゲートドライバは、それぞれ表示装置の上下あるいは左右に配置されているが、例えばドレインドライバが上だけあるいは下だけでよいことは言うまでもない。ゲートドライバについても同様である。

【0066】図4に、前述の図3中の1V-1V線に沿った本発明の液晶表示装置の部分断面図を示す。

【0067】図4は下部配線とドレインラインとを2ヶ所で接続している点の特徴である。

【0068】図4において、ドレインライン26は、比誘電率8の窒化シリコン製の層間絶縁膜に形成しているコンタクトホール10を通じて、付加容量部の両端に接続されている。

【0069】付加容量電極7は、下層のTFTのゲートと同じ層のドーパされた多結晶シリコン層と、上層のチタンシリサイド層とから形成されている。

【0070】付加容量は、主として厚さ1000Åと薄いゲート絶縁膜を挟んで、付加容量電極7とゲート絶縁膜の下部に位置するドーパされた多結晶シリコン膜との間で形成される。

【0071】また、図4の構成によれば、付加容量とし

て、コンタクトホール内のドレインラインと付加容量電極の側面との間の容量が発生するので単位面積当たりの付加容量を最も大きくすることができる。

【0072】さらに、A1で形成されたドレインラインに万一断線が発生した場合でも、付加容量絶縁膜の下部に位置するドーパされた多結晶シリコン膜が断線を補修してくれるという長所が発生する。

【0073】続いて、本発明の付加容量電極をドレインラインの下に形成する場合の長所を説明することにする。

【0074】図5は、本発明の付加容量電極の配線図である。

【0075】図5に示すように、ドレインドライバとゲートドライバに、外周の高電圧電源 V_{dd} と内周の低電圧電源 V_{ss} とが接続されている。

【0076】特に、本発明の付加容量電極 Γ を V_{ss} に接続すると、 $Q=CV$ で表される V を大きくすることができ、また、 V_{ss} と V_{dd} の分離も形成順序に従って容易に実現できる。

【0077】最も容量が大きい先の実施例に対して、特色を持った他の実施例について3つだけ以下に記述することにする。

【0078】図6は、下部配線とドレインラインとを1箇所接続する本発明の液晶表示装置の断面図である。

【0079】図6の下部配線とドレインラインとを1箇所接続する構成によれば、付加容量部の面積をコンパクトにすることができる。

【0080】また、図6に示すように、シール剤をドレインドライバまで覆うように形成すると基板の上に一体形成された周辺駆動回路を湿度から保護することができる。

【0081】図7は、付加容量電極とドレインラインとの間で付加容量を形成する本発明の液晶表示装置の断面図である。

【0082】図7の付加容量電極とドレインラインとの間で付加容量を形成する構成によれば、最も基板側に近い部分で外部回路と接続できる。

【0083】図8は、単一層の付加容量電極とドレインラインとの間で付加容量を形成する本発明の液晶表示装置の断面図である。

【0084】図8の構造の付加容量電極は、全製造工程が400℃以下の温度でなされる場合に適用され、Ti、Mo、Wなどの金属が用いられる。

【0085】図8の単一層の付加容量電極とドレインラインとの間で付加容量を形成する構成によれば、付加容量電極が薄いので層間絶縁膜を薄型化して図7より高い容量にすることができる。

【0086】図9に、前述の図3中のIV-V線に沿った本発明の液晶表示装置の製造工程図を示す。

<工程1：図9（a）>半導体または絶縁性を有する基

板1上に、LP-CVD法により、多結晶シリコン膜2を形成する。

【0087】この多結晶シリコン膜2は、島状に、後の補助容量部、表示駆動素子としてのTFT部、付加容量部及びドレインドライバとしてのTFTとなる領域にそれぞれ形成する。

【0088】なお、次のように多結晶シリコン膜は、非晶質シリコン膜を固相成長することにより形成してもよい。

【0089】まず、プラズマCVD法により、半導体または絶縁性を有する基板1上に非晶質シリコン膜を形成する。その形成条件は、例えば、基板温度：500～600℃、ガス流量：SiH₄：50sccm、H₂：40sccm、RFパワー：40Wである。また、半導体基板としては、シリコン基板、酸化ガリウムなどであり、絶縁性基板としては、ガラス、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどのあらゆる絶縁材料による基板を含むだけでなく、表面にシリコン膜などの絶縁膜を設けた金属などの導電性基板、更には同じく表面にシリコン酸化膜などの絶縁膜を設けた半導体性基板をも含むものとする。

【0090】次に、熱処理を施すことにより、非晶質シリコン膜を固相成長させて多結晶シリコン膜2とする。その熱処理条件としては、例えば、基板温度：500～650℃、処理時間：10時間以上である。

<工程2：図9（b）>多結晶シリコン膜2上にゲート絶縁膜3であるHTO（High Temperature Oxide）膜を形成する。HTO膜は、成膜温度：約1000℃、ガス材料：飽和水蒸気で約1000Å程度成膜する。

【0091】次に、後にイオン注入法により燐（P）を注入する領域以外のゲート絶縁膜の上に、レジスト膜4でマスクを形成する。

【0092】なお、ゲート絶縁膜の形成方法としては、LP-CVD法、AP-CVD（Atmosphere Pressure-chemical Vapor Deposition：常圧CVD）法、スパッタ法、熱酸化法などがある。

【0093】LP-CVD法の場合には、O₂ガスとSiH₄ガスをO₂/SiH₄=5～200として、成膜温度：400～450℃で圧力1Torrで、また、AP-CVD法の場合には、O₂ガスとSiH₄ガスをO₂/SiH₄=3～10として、成膜温度：400～450℃で、スパッタ法の場合には、圧力：5×10⁻⁴～5×10⁻³Torr、RFパワー：300Wで、熱酸化法は、常圧、温度800℃、酸素雰囲気中で絶縁膜をそれぞれ形成する。

<工程3：図9（c）>前記レジスト膜4をマスクとして多結晶シリコン膜2にイオン注入法を用いて燐（P）を注入し、n+型多結晶シリコン膜とする。

【0094】その後、レジスト膜4を除去し、ゲート絶縁膜3の上の各領域に、表示駆動素子のTFT+1のゲ

ート電極5並びにゲートライン6、付加容量電極7、ドレインドライバのTFT12のゲート電極8を形成する。各電極は、LP-CVD法にて多結晶シリコン膜(p-Si)を1000Å乃至2000Å成膜し、その上にタングステンシリサイド(WSi)膜を1000Å乃至2000Å成膜して、その後ホトリソ法でエッチングを行って形成する。これらの各電極は、同一材料で同時に形成できるので、工程が極めて効率的である。

【0095】また各電極は金属、例えばアルミニウム、クロム、モリブデン等を蒸着法またはスパッタ法によって形成してもよい。

【0096】なお、表示駆動素子のTFT11及びドレインドライバのTFT12を形成する多結晶シリコン膜2はそれらの能動層となり、ゲート電極5、8の両側のその能動層にはドレイン領域及びソース領域を形成する。

<工程4:図9(d)>前述の基板上に形成した各電極等を全て覆うように、層間絶縁膜を7000Å乃至10000Å形成する。

<工程5:図9(e)>異方性エッチングにより層間絶縁膜9にコンタクトホール10を形成する。

【0097】そのコンタクトホール10を形成する領域は、表示駆動素子のTFT11のドレイン領域12及びソース領域11、付加容量電極7の両側、ドレインドライバのTFT12のドレイン領域13及びソース領域14である。

【0098】まず、表示駆動素子のTFT11においては、コンタクトホール10によって、表示駆動素子のTFTのソース領域11が、後に形成する画素電極17が電気的に接続している。またドレイン電極16及びソース電極15を金属、例えばアルミニウム、クロム、モリブデン等を蒸着法またはスパッタ法によって5000Å乃至10000Å形成し、ドレイン電極16とドレイン領域12、ソース電極15とソース領域11とを、それぞれ電気的に接続する。

【0099】次に、ドレインドライバのTFT12においては、ドレイン領域14はTFTに隣接するシフトレジスタ(図示せず)に電気的に接続しており、ソース領域13は付加容量電極7と多結晶シリコン膜2と電気的に接続している。本実施例において、ドレインドライバのTFTのソース領域と付加容量電極の片側とのコンタクトホール10は共通にしているが、もちろんそれぞれに設ける構造でもよい。

【0100】次に、スパッタ法により、画素部の層間絶縁膜9の上にITOからなる画素電極17を1000Å乃至2000Å形成する。

<工程6:図9(f)>以上の工程によって形成された補助容量電極27、表示駆動素子のTFT11、付加容量電極7、ドレインドライバのTFT12を含む基板(以下、TFT基板1と称する)の全領域に配向膜18

を形成する。

【0101】また、このTFT基板1に対向した対向基板19上に、ITO等からなる共通電極20及び配向膜21を順次形成する。

【0102】これらの2つの基板の周辺近傍をシール剤22で貼り合わせる。シール剤で囲まれた内側が表示領域となる。その領域に液晶23を充填して、液晶表示装置が完成する。

【0103】ここで、本実施例においては多結晶シリコン膜の形成方法として、固相成長法でなく溶融再結晶化法を用いてもよい。溶融再結晶化法は、非晶質シリコン膜の表面だけを溶融させて再結晶化しながら基板温度を600℃以下に保つ方法であり、レーザーアニール法やRTA(Rapid Thermal Annealing)法がある。レーザーアニール法は、非晶質シリコン膜の表面にレーザーを照射して加熱溶融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱溶融させる方法である。

【0104】また、非晶質シリコン膜の形成方法として、上記実施例においてはプラズマCVD法を用いたが、それ以外のCVD法またはPVD(Physical Vapor Deposition)法を用いて形成することもできる。CVD法としては、常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法などがある。PVD法としては、蒸着法、EB(Electron Beam Deposition)法、MBE(Molecular Beam Epitaxy)法、スパッタ法などがある。

【0105】ここまでの構成で、付加容量電極は複数に分けてきたが、図10に示すようにドレインドライバと表示領域間に1個だけ設けても良い。

【0106】このように、本願発明では、ドレインドライバと表示領域間に付加容量を付与するものである。

【0107】図11に、本願発明の等価回路図を示す。

【0108】図11に示すように、本願発明では、ドレインドライバ24とTFTとの間のドレインライン26に付加容量が接続されている。

【0109】それから、図12は、試験がしやすい本願発明の液晶表示装置の断面図である。

【0110】即ち、下部配線の半導体層を周辺駆動回路の半導体層と分離すると故障した場合、どの部分に欠陥が発生したかをたやすく判別することができる。

【0111】寄生容量より大きな付加容量を付与する本願発明の構成によれば、液晶表示装置のスミア現象が解消される。

【0112】図13はスミア現象が解消された本願構成による光学特性図である。

【0113】図13に示されるように、i+1行目とi+2行目との間で映像信号vdが急変しても、光透過率(T)が即応するようになった。

【0114】尚、図13中の付加容量電極の電位、即ち

V_0 は対向共通電極電位 V_0 以下に設定される。

【0115】次に、上記のように製造された多結晶シリコンTFTを画素駆動素子として用いた透過型LCDの画素部の構造について説明する。

【0116】図14に、本実施例のアクティブマトリクス方式LCDのブロック構成を示す。

【0117】画素部には各ゲートライン $G_1 \cdots G_m$ 、 $G_{m+1} \cdots G_l$ と各ドレインライン $D_1 \cdots D_n$ 、 $D_{n+1} \cdots D_j$ とが配置されている。各ゲートラインと各ドレインラインとはそれぞれ直交し、その直交部分に画素部が設けられている。そして、各ゲートラインはゲートドライバに接続され、ゲート信号が印加されるようになっている。また、各ドレインラインはドレインドライバに接続され、データ信号が印加されるようになっている。これらのドライバによって周辺駆動回路部が構成されている。そして、各ドライバのうち少なくともいずれか一方を画素部と同一基板上に形成したLCDがドライバ一体型LCDである。

【0118】

【発明の効果】以上のように、本発明の表示装置によれば、ドレインドライバと表示領域との間に、ドレインラインと他の電極との間における容量よりも十分に大きい付加容量をサンプリングトランジスタの近傍に設けることにより安定した容量を確保できるため、ビデオ信号の振幅の大きい映像信号（黒信号）を液晶に書き込んだ場合に発生するスミア現象を解消でき、コントラスト、解像度等の特性の向上を図れるので、表示装置の画像品質の向上が図れる。

【図面の簡単な説明】

【図1】本発明の表示装置の部分平面図である。

【図2】本発明の表示装置の部分断面図である。

【図3】本発明の表示装置の全体概略構成図である。

【図4】本発明の表示装置の部分断面図である。

【図5】本発明の表示装置の配線図である。

【図6】本発明の表示装置の他の実施例を示す部分断面図である。

【図7】本発明の表示装置のさらに他の実施例を示す部分断面図である。

【図8】本発明の表示装置のさらに他の実施例を示す部分断面図である。

【図9】本発明の表示装置の製造工程図である。

【図10】本発明の表示装置の他の実施例を示す平面図である。

【図11】本発明の表示装置の等価回路図である。

【図12】本発明の表示装置のさらに他の実施例を示す部分断面図である。

【図13】本発明の表示装置の特性を表す特性図である。

【図14】本発明の表示装置のさらに他の実施例を示す部分断面図である。

【図15】従来の表示装置の全体概略構成図である。

【図16】従来の表示装置の画素部の構成平面図である。

【図17】従来の表示装置の等価回路図である。

【図18】従来の表示装置の部分断面図である。

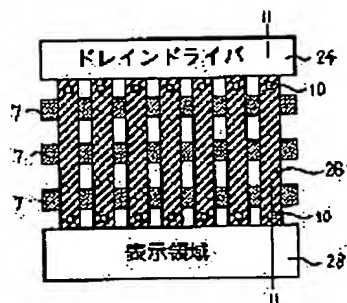
【図19】従来の表示装置の製造工程図断面図である。

【図20】従来の表示装置の特性図である。

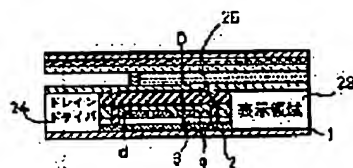
【符号の説明】

- 1 基板
- 2 多結晶シリコン膜
- 3 ゲート絶縁膜
- 4 レジスト膜
- 5 ゲート電極
- 6 ゲートライン
- 7 付加容量電極
- 8 ゲート電極
- 9 層間絶縁膜
- 10 コンタクトホール
- 11 ソース領域
- 12 ドレイン領域
- 13 ドレイン領域
- 14 ソース領域
- 15 ソース電極
- 16 ドレイン電極
- 17 画素電極
- 18 配向膜
- 19 対向電極
- 20 共通電極
- 21 配向膜
- 22 シール剤
- 23 液晶
- 24 ドレインドライバ
- 25 ゲートドライバ
- 26 ドレインドライバ
- 27 補助容量電極
- 28 表示領域
- 29 シフトレジスタ
- 30 サンプリングトランジスタ
- S ソース
- D ドレイン
- G ゲート
- LC 液晶セル

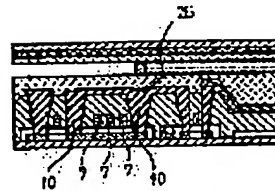
【図 1】



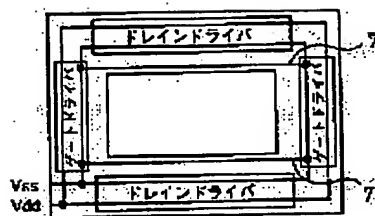
【図 2】



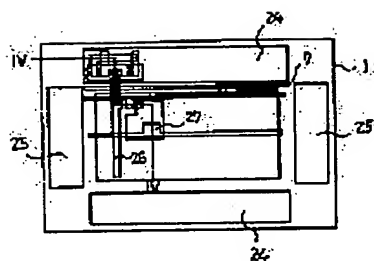
【図 4】



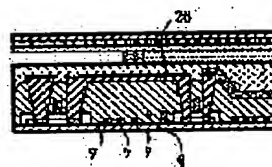
【図 5】



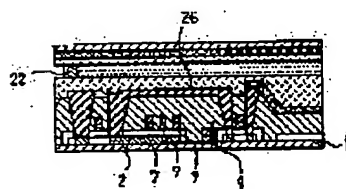
【図 3】



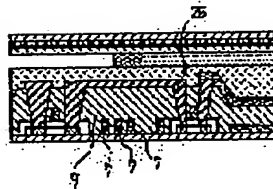
【図 8】



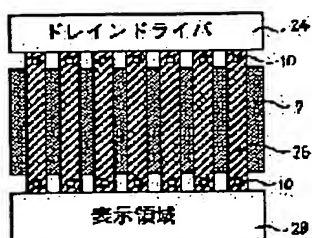
【図 6】



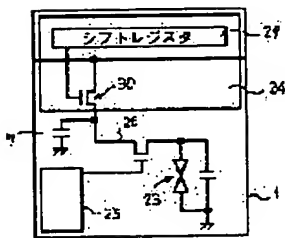
【図 7】



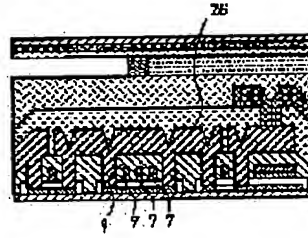
【図 10】



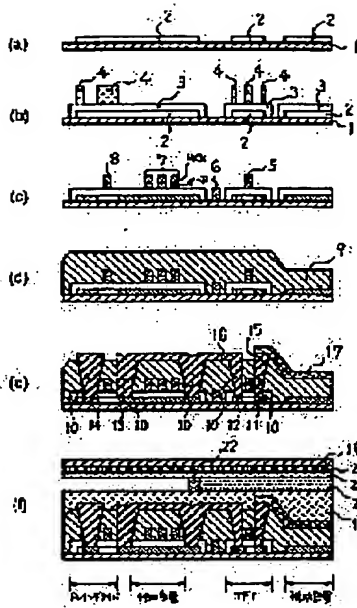
【図 11】



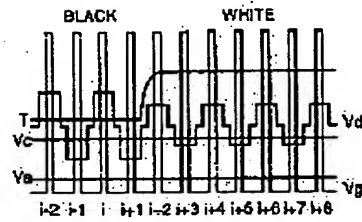
【図 12】



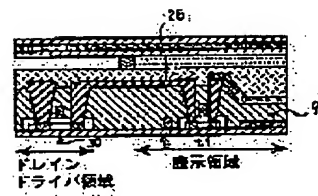
【図9】



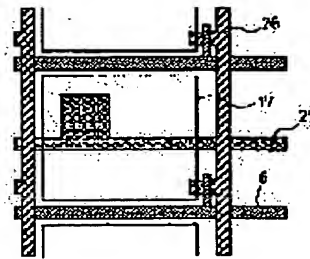
【図13】



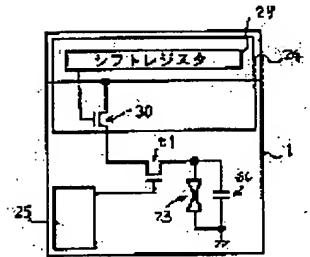
【図18】



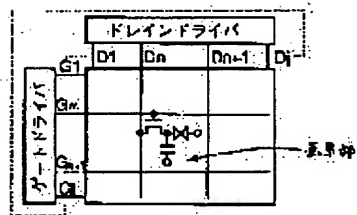
【図16】



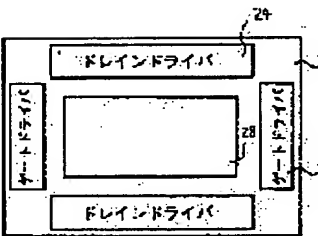
【図17】



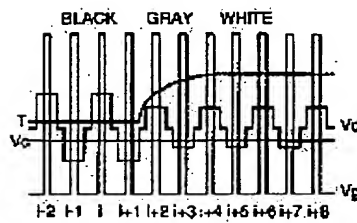
【図14】



【図15】



【図20】



【图 19】

